

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-198897

(43)Date of publication of application : 31.07.1997

(51)Int.Cl.

G11C 29/00

(21)Application number : 08-348155

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 26.12.1996

(72)Inventor : LEE SI-YEOL

(30)Priority

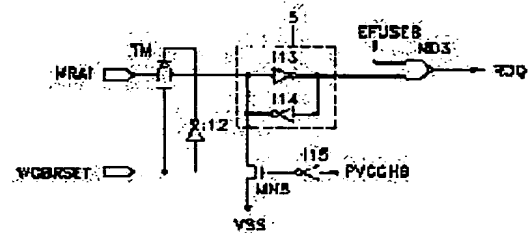
Priority number : 95 9569726 Priority date : 30.12.1995 Priority country : KR

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To freely convert a specific mode and to simultaneously inspect many memories by bonding a specific bonding pad to a low level, and floating the specific bonding pad.

SOLUTION: A mode register receives an input signal MRAi in response to predetermined control signal WCMRSET, PVCCHB and fuse control signal EFUSEB, and generates a mode control signal RDQ. When a control signal WCBRSET is toggled from a low level to a high level, if a mode register input signal MRSAi is a high level, the high level is stored in a latch 5, and the signal RDQ becomes a high level. Thus, an X16 mode selection signal becomes a low level, an X14 mode selection signal becomes a high level, and the semiconductor memory operated in the X16 mode is converted to an X4 mode. Thus, many memories can be tested simultaneously by a testing facility having predetermined number of DQ channels.



LEGAL STATUS

[Date of request for examination]

17.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-198897

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl.⁶

G 1 1 C 29/00

識別記号

3 0 3

庁内整理番号

F I

G 1 1 C 29/00

技術表示箇所

3 0 3 B

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21) 出願番号 特願平8-348155

(22) 出願日 平成8年(1996)12月26日

(31) 優先権主張番号 1 9 9 5 - P - 6 9 7 2 6

(32) 優先日 1995年12月30日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李 始烈

大韓民国京畿道水原市八達区梅灘3洞990

番地 新梅灘アパート136棟203號

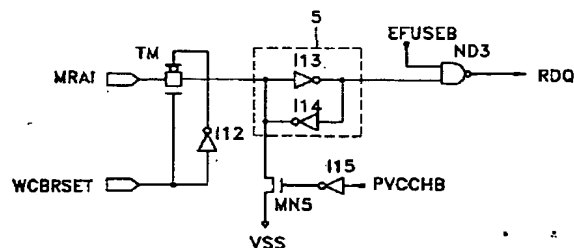
(74) 代理人 弁理士 小堀 益

(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【課題】 DQチャンネルの数を減少させ得る半導体メモリ装置を提供する。

【解決手段】 第1及び第2構造モードを有する半導体メモリ装置において、所定の制御信号に応答して入力信号を受けてモード制御信号を発生するモードレジスタと、外部から入力される第1ボンディング信号及び前記モード制御信号に응答して第1モード選択信号を発生し、前記第1構造モードを選択する第1モード選択信号発生器と、外部から入力される第2ボンディング信号及び前記モード制御信号に응答して第2モード選択信号を発生し、前記第2構造モードを選択する第2モード選択信号発生器とを備えることを特徴とする。



【特許請求の範囲】

【請求項1】 第1及び第2構造モードを有する半導体メモリ装置において、

所定の制御信号にตอบสนองして入力信号を受けてモード制御信号を発生するモードレジスタと、

外部から入力される第1ボンディング信号及び前記モード制御信号にตอบสนองして第1モード選択信号を発生し、前記第1構造モードを選択する第1モード選択信号発生器と、

外部から入力される第2ボンディング信号及び前記モード制御信号にตอบสนองして第2モード選択信号を発生し、前記第2構造モードを選択する第2モード選択信号発生器とを備えることを特徴とする半導体メモリ装置。

【請求項2】 前記モードレジスタは、前記所定の第1制御信号にตอบสนองして前記入力信号を伝達する伝達手段と、

前記伝達手段から伝達された信号を貯蔵するラッチと、前記ラッチの出力信号及び所定の第2制御信号に対するNAND動作を行い、前記モード制御信号を出力する論理手段と、

前記所定の第3制御信号にตอบสนองして前記ラッチの入力端をプルダウンさせるプルダウン手段とを備えることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項3】 前記伝達手段は前記第1制御信号が“ハイ”レベルの場合、前記入力信号を伝達することを特徴とする請求項2に記載の半導体メモリ装置。

【請求項4】 前記第1モード選択信号発生器は、

第1ボンディングパッドと、

前記第1ボンディングパッドから入力される第1ボンディング信号を伝達する伝達手段と、

前記伝達手段の出力端をプルアップさせるプルアップ手段と、

前記伝達手段の出力端の信号と前記モード制御信号に対するNOR動作を行い、前記第1モード選択信号を出力する論理手段とを備えることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項5】 前記第2モード選択信号発生器は、

第2ボンディングパッドと、

前記第2ボンディングパッドから入力される第2ボンディング信号を伝達する伝達手段と、

前記伝達手段の出力端をプルアップさせるプルアップ手段と、

前記伝達手段の出力端の信号を反転させ、その反転された信号と前記モード制御信号を論理和して前記第2モード選択信号を出力する論理手段とを備えることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項6】 第1及び第2構造モードを有する半導体メモリ装置において、

第1及び第2フューズの状態にตอบสนองしてフューズ制御信号を発生するフューズ制御信号発生器と、

前記フューズ制御信号及び所定の制御信号にตอบสนองして入力信号を受けてモード制御信号を発生するモードレジスタと、

外部から入力される第1ボンディング信号及び前記モード制御信号にตอบสนองして第1モード選択信号を発生し、前記第1構造モードを選択する第1モード選択信号発生器と、

外部から入力される第2ボンディング信号及び前記モード制御信号にตอบสนองして第2モードを選択する第2モード選択信号発生器とを備えることを特徴とする半導体メモリ装置。

【請求項7】 前記フューズ制御信号発生器は、所定の信号及び前記第1フューズの状態にตอบสนองして第1フューズ信号を発生する第1フューズ信号発生手段と、前記所定の信号及び前記第2フューズの状態にตอบสนองして第2フューズ信号を発生する第2フューズ信号発生手段と、

前記第2フューズ信号を反転させ、その反転された信号と前記第1フューズ信号を論理和して前記フューズ制御信号を出力する論理手段とを備えることを特徴とする請求項6に記載の半導体メモリ装置。

【請求項8】 前記第1フューズ信号発生手段は、ソースに電源電圧が印加され、ゲートに前記所定の信号が印加されるPMOSトランジスタと、

前記PMOSトランジスタのドレインに一端が接続される第1フューズと、

前記第1フューズの他端にドレインが接続され、接地電圧がソースに印加され、前記所定の信号がゲートに印加されるNMOSトランジスタと、

前記第1フューズと前記NMOSトランジスタの接続点から出力される信号を反転させる反転手段と、

前記第1フューズの他端にドレインが接続され、接地電圧がソースに印加され、前記反転手段の出力端にゲートが接続されるもう一つのNMOSトランジスタと、

前記反転手段の出力を反転させて前記第1フューズ信号を出力するもう一つの反転手段とを含むことを特徴とする請求項7に記載の半導体メモリ装置。

【請求項9】 前記第2フューズ発生手段は、ソースに電源電圧が印加され、ゲートに前記所定の信号が印加されるPMOSトランジスタと、

前記PMOSトランジスタのドレインに一端が接続される第2フューズと、

前記第2フューズの他端にドレインが接続され、接地電圧がソースに印加され、前記所定の信号がゲートに印加されるNMOSトランジスタと、

前記第2フューズと前記NMOSトランジスタの接続点から出力される信号を反転させる反転手段と、

前記第2フューズの他端にドレインが接続され、接地電圧がソースに印加され、前記反転手段の出力端にゲートが接続されるもう一つのNMOSトランジスタと、

前記反転手段の出力を反転させて前記第2フェーズ信号を出力するもう一つの反転手段とを含むことを特徴とする請求項7に記載の半導体メモリ装置。

【請求項10】 前記モードレジスタは、前記所定の第1制御信号にตอบสนองして前記入力信号を伝達する伝達手段と、

前記伝達手段から伝達された信号を貯蔵するラッチと、前記ラッチの出力信号及び前記フェーズ制御信号に対するNAND動作を行い、前記モード制御信号を出力する論理手段と、

前記所定の第2制御信号にตอบสนองして前記ラッチの入力端をプルダウンさせるプルダウン手段とを備えることを特徴とする請求項6に記載の半導体メモリ装置。

【請求項11】 前記伝達手段は前記第1制御信号が“ハイ”レベルのとき、前記入力信号を伝達することを特徴とする請求項10に記載の半導体メモリ装置。

【請求項12】 前記第1モード選択信号発生器は、第1ボンディングパッドと、前記第1ボンディングパッドから入力される前記第1ボンディング信号を伝達する伝達手段と、前記伝達手段の出力端をプルアップさせるプルアップ手段と、

前記伝達手段の出力端の信号と前記モード制御信号を論理和し、その結果を反転させて前記第1モード選択信号を出力する論理手段とを備えることを特徴とする請求項6に記載の半導体メモリ装置。

【請求項13】 前記第2モード選択信号発生器は、第2ボンディングパッドと、前記第2ボンディングパッドから入力される前記第2ボンディング信号を伝達する伝達手段と、前記伝達手段の出力端をプルアップさせるプルアップ手段と、

前記伝達手段の出力端の信号を反転させ、その反転された信号と前記モード制御信号を論理和して前記第2モード選択信号を出力する論理手段とを備えることを特徴とする請求項6に記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置に係り、特に同時に多数のメモリ装置を検査するようにDQチャンネルの数を減少させることのできる半導体メモリ装置に関する。

【0002】

【従来の技術】半導体メモリ装置は一般に様々な構造を1つのチップに含めている。したがって、前記メモリ装置の構造を容易に設定するため、ボンディングパッドオプション方法がチップの設計に用いられる。

【0003】図1は半導体メモリ装置において、従来の技術によるX16モード選択信号発生器の回路図である。

【0004】図1を参照すれば、前記X16モード選択

信号発生器は、ボンディング信号を受け入れるX16ボンディングパッドX16_PAD、前記ボンディング信号を伝達するトランスファートランジスタMN1、前記トランスファートランジスタMN1から伝達された信号を反転させるインバータI1、前記インバータI1の出力信号を反転させるインバータI2、前記インバータI2の出力信号を反転させるインバータI3、前記トランスファートランジスタMN1の出力端に接続され、常にターンオンされているプルアップ(pull-up)トランジスタMP1を含む。

【0005】図2は半導体メモリ装置において、従来の技術によるX4モード選択信号発生器の回路図である。

【0006】図2を参照すれば、前記X4モード選択信号発生器は前記X16モード選択信号発生器と同じ構造を有する。前記X4モード選択信号発生器は、ボンディング信号を受け入れるX4ボンディングパッドX4_PAD、前記ボンディング信号を伝達するトランスファートランジスタMN2、前記トランスファートランジスタMN2から伝達された信号を反転させるインバータI4、前記インバータI4の出力信号を反転させるインバータI5、前記インバータI5の出力信号を反転させるインバータI6、前記トランスファートランジスタMN2の出力端に接続され、常にターンオンされているプルアップトランジスタMP2を含む。

【0007】図1及び図2に示された前記X16、X4モード選択信号発生器の動作は次のとおりである。

【0008】図1のX16ボンディングパッドX16_PADがローレベル(VSS)にボンディングされると、前記インバータI3の出力信号X16がハイレベルVDDとなり、半導体メモリ装置はX16モードで動作する。一方、図2のX4ボンディングパッドX4_PADがローレベルVSSにボンディングされると、前記インバータI6の出力信号X4がハイレベルVDDとなり、半導体メモリ装置はX4モードで動作する。

【0009】前記従来の技術によるX16、X4モード選択信号発生器は各々のボンディングパッドに入力されるボンディング信号のみを駆動する構造である。したがって、X16モードの動作からX4モードの動作に、或いは、X4モードの動作からX16モードの動作に転換させるためには、前記X16ボンディングパッドX16_PADとX4ボンディングパッドX4_PADは、ローレベルVSSのボンディング信号を受け入れるべきである。

【0010】すなわち、上述した従来の技術によるX16、X4モード選択信号発生器を有する半導体メモリ装置は、それぞれDQチャンネル数がX16は16、X4は4に固定されている。ところが、テスト装置には半導体メモリ装置にデータを読み出し、書き込むDQチャンネル数が限定しているので、DQチャンネル数の多い半導体メモリ装置は同時に検査するメモリ装置の数を減少

させる。したがって、X16の場合は前記半導体メモリ装置を検査するとき、検査の効率性が低下する。

【0011】

【発明が解決しようとする課題】したがって、本発明の目的は同時に多数のメモリ装置を検査するようにDQチャンネル数を減少させうる半導体メモリ装置を提供するにある。

【0012】

【課題を解決するための手段】前記目的を達成するために本発明による半導体メモリ装置は、第1及び第2構造モードを有する半導体メモリ装置において、所定の制御信号に応答して入力信号を受けてモード制御信号を発生するモードレジスタと、外部から入力される第1ボンディング信号及び前記モード制御信号に応答して第1モード選択信号を発生し、前記第1構造モードを選択する第1モード選択信号発生器と、外部から入力される第2ボンディング信号及び前記モード制御信号に応答して第2モード選択信号を発生し、前記第2構造モードを選択する第2モード選択信号発生器とを備えることを特徴とする。

【0013】望ましい実施例によれば、前記モードレジスタは、前記所定の第1制御信号に応答して前記入力信号を伝達する伝達手段と、前記伝達手段から伝達された信号を貯蔵するラッチと、前記ラッチの出力信号及び所定の第2制御信号に対するNAND動作を行い、前記モード制御信号を出力する論理手段と、前記所定の第3制御信号に応答して前記ラッチの入力端をプルダウンさせるプルダウン手段とを備える。前記第1モード選択信号発生器は、第1ボンディングパッドと、前記第1ボンディングパッドから入力される第1ボンディング信号を伝達する伝達手段と、前記伝達手段の出力端をプルアップさせるプルアップ手段と、前記伝達手段の出力端の信号と前記モード制御信号に対するNOR動作を行い、前記第1モード選択信号を出力する論理手段とを備える。前記第2モード選択信号発生器は、第2ボンディングパッドと、前記第2ボンディングパッドから入力される第2ボンディング信号を伝達する伝達手段と、前記伝達手段の出力端をプルアップさせるプルアップ手段と、前記伝達手段の出力端の信号を反転させ、その反転された信号と前記モード制御信号を論理和して前記第2モード選択信号を出力する論理手段とを備える。

【0014】かつ、前記目的を達成するために本発明による他の構成の半導体メモリ装置は、第1及び第2構造モードを有する半導体メモリ装置において、第1及び第2フューズの状態に応答してフューズ制御信号を発生するフューズ制御信号発生器と、前記フューズ制御信号及び所定の制御信号に応答して入力信号を受けてモード制御信号を発生するモードレジスタと、外部から入力される第1ボンディング信号及び前記モード制御信号に応答して第1モード選択信号を発生し、前記第1構造モード

を選択する第1モード選択信号発生器と、外部から入力される第2ボンディング信号及び前記モード制御信号に応答して第2モードを発生し、前記第2構造モードを選択する第2モード選択信号発生器とを備える。

【0015】望ましい実施例によれば、前記フューズ制御信号発生器は、所定の信号及び前記第1フューズの状態に応答して第1フューズ信号を発生する第1フューズ信号発生手段と、前記所定の信号及び前記第2フューズの状態に応答して第2フューズ信号を発生する第2フューズ信号発生手段と、前記第2フューズ信号を反転させ、その反転された信号と前記第1フューズ信号を論理和して前記フューズ制御信号を出力する論理手段とを備える。前記モードレジスタは、前記所定の第1制御信号に応答して前記入力信号を伝達する伝達手段と、前記伝達手段から伝達された信号を貯蔵するラッチと、前記ラッチの出力信号及び前記フューズ制御信号に対するNAND動作を行い、前記モード制御信号を出力する論理手段と、前記所定の第2制御信号に応答して前記ラッチの入力端をプルダウンさせるプルダウン手段とを備える。前記第1モード選択信号発生器は、第1ボンディングパッドと、前記第1ボンディングパッドから入力される前記第1ボンディング信号を伝達する伝達手段と、前記伝達手段の出力端をプルアップさせるプルアップ手段と、前記伝達手段の出力端の信号と前記モード制御信号を論理和し、その結果を反転させて前記第1モード選択信号を出力する論理手段とを備える。前記第2モード選択信号発生器は、第2ボンディングパッドと、前記第2ボンディングパッドから入力される前記第2ボンディング信号を伝達する伝達手段と、前記伝達手段の出力端をプルアップさせるプルアップ手段と、前記伝達手段の出力端の信号を反転させ、その反転された信号と前記モード制御信号を論理和して前記第2モード選択信号を出力する論理手段とを備える。

【0016】

【発明の実施の形態】以下、添付した図面に基づき本発明の実施の形態を詳しく説明する。

【0017】前記本発明による半導体メモリ装置は、モードレジスタ、第1構造モード、即ち、X16モードを選択するX16モード選択信号発生器、及び第2構造モード、即ち、X4モードを選択するX4モード選択信号発生器を備える。

【0018】図3は本発明の実施例によるX16モード選択信号発生器の回路図であり、前記X16モード選択信号発生器はボンディングパッドX16_PADを通して外部から入力されるボンディング信号及びモード制御信号RDQに応答してX16モード選択信号X16を発生し、半導体メモリ装置のX16構造モードを選択する。

【0019】図3を参照すれば、前記X16モード選択信号発生器は、X16ボンディングパッドX16_PA

D、前記X16ボンディングパッドX16__PADを通して入力されるボンディング信号を伝達する伝達手段MN3、前記伝達手段MN3の出力端をプルアップさせるプルアップ手段MP3、及び前記伝達手段MN3の出力端の信号とモード制御信号RDQに対するNOR動作を行い、X16モード選択信号X16を出力する論理手段1を備える。

【0020】前記伝達手段MN3はゲートに電源電圧VDDが印加されて常にターンオンされているNMOSTランジスタで構成される。かつ、前記プルアップ手段MP3はソースに電源電圧VDDが印加され、ゲートに接地電圧VSSが印加され、ドレインが前記伝達手段MN3の出力端に接続されるPMOSTランジスタで構成される。かつ、前記論理手段1は、前記伝達手段MN3の出力端の信号を反転させるインバータI7、前記インバータI7の出力信号を反転させるインバータI8、前記インバータI8の出力信号と前記モード制御信号RDQを入力として前記X16モード選択信号X16を出力するNORゲートNR1、及び前記インバータI8の出力信号を反転させ、他の出力信号X16Eを出力するインバータI9で構成される。

【0021】図4は本発明の実施例によるX4モード選択信号発生器の回路図であり、前記X4モード選択信号発生器は、ボンディングパッドX4__PADを通して外部から入力されるボンディング信号、モード制御信号RDQ、及び図3のX16モード選択信号発生器から出力される出力信号X16EにตอบสนองしてX4モード選択信号X4を発生し、半導体メモリ装置のX4構造モードを選択する。

【0022】図4を参照すれば、前記X4モード選択信号発生器は、X4ボンディングパッドX4__PADと、前記X4__PADを通して入力されるボンディング信号を伝達する伝達手段MN4と、前記伝達手段MN4の出力端をプルアップさせるプルアップ手段MP4と、図3のX16モード選択信号発生器から出力される前記出力信号X16E及び前記モード制御信号RDQを論理積し、かつ前記伝達手段MN4の出力端の信号を反転させ、その結果を論理和して前記X4モード選択信号X4を出力する論理手段3とを備える。

【0023】前記伝達手段MN4はゲートに電源電圧VDDが印加されて常にターンオンされているNMOSTランジスタで構成される。かつ、前記プルアップ手段MP4はソースに電源電圧VDDが印加され、ゲートに接地電圧VSSが印加され、ドレインが前記伝達手段MN4の出力端に接続されるPMOSTランジスタで構成される。さらに、前記論理手段3は、前記伝達手段MN4の出力端の信号を反転させるインバータI10と、前記インバータI10の出力信号を反転させるインバータI11と、前記インバータI11の出力信号、前記モード制御信号RDQ及び前記出力信号X16Eを入力として

NAND動作を行うNANDゲートND1と、前記ND1の出力信号及び前記インバータI11の出力信号を入力として前記X4モード選択信号X4を出力するNANDゲートND2とで構成される。

【0024】図5は本発明の実施例によるモードレジスタの回路図であり、前記モードレジスタは所定の制御信号WCBRESET、PVCCCHB及びフューズ制御信号EFUSEBにตอบสนองして入力信号MRAiを受けてモード制御信号RDQを発生する。

【0025】図5を参照すれば、前記モードレジスタは、前記所定の制御信号WCBRESETにตอบสนองして前記入力信号MRAiを受けて伝達する伝達手段TMと、前記伝達手段TMを通して伝達された信号を貯蔵するラッチ5と、前記ラッチ5の出力信号及び前記フューズ制御信号EFUSEBを論理積し、その結果を反転させて前記モード制御信号RDQを出力する論理手段ND3と、前記所定の制御信号PVCCCHBにตอบสนองして前記ラッチ5の入力端をプルダウンさせるプルダウン手段MN5とを備える。

【0026】前記伝達手段TMは前記所定の制御信号WCBRESETが“ハイ”レベルのとき、前記入力信号MRAiを出力端に伝達する伝達ゲートで構成される。かつ、前記ラッチ5はインバータI13とインバータI14で構成される。前記論理手段ND3はNANDゲートで構成される。かつ、前記プルダウン手段MN5は、ドレインが前記ラッチ5のインバータI13の入力端に接続され、ゲートに前記制御信号PVCCCHBが印加され、ソースに接地電圧VSSが印加されるPMOSTランジスタで構成される。

【0027】図7は図3乃至図6の回路に対する各信号のタイミング図である。

【0028】以下、図7に示したタイミング図を参照して、図3、図4及び図5に示した回路の動作を説明する。かつ、モードレジスタを用いて半導体メモリ装置のDQチャンネル数が減少する方法を説明する。

【0029】まず、図3のX16ボンディングパッドX16__PADをローレベルVSSにボンディングさせ、図4のX4ボンディングパッドX4__PADをフローティングさせる。これにより、図3のインバータI9の出力信号X16Eがハイレベルとなり、図4のインバータI11の出力信号がハイレベルとなる。

【0030】図5のラッチ5の初期化信号である制御信号PVCCCHBがハイレベルのとき、プルダウン手段MN5のNMOSTランジスタがターンオンされて前記ラッチ5の入力端がローレベルに初期化される。かつ、フューズ制御信号EFUSEBは通常ハイレベルに保たれるので、NANDゲートND3の出力であるモード制御信号RDQがローレベルとなる。

【0031】これにより、図3のX16モード選択信号X16がハイレベルとなり、図4のX4モード選択信号

X4がローレベルとなり、X16モードが選択される。

【0032】次に、図5の制御信号WCBRESETがローレベルからハイレベルにトグル(Toggle)するとき、モードレジスタ入力信号MRAiがハイレベルであれば、前記ハイレベルがラッチ5に貯蔵され、NANDゲートND3の出力であるモード制御信号RDQがハイレベルとなる。

【0033】これにより、図3のX16モード選択信号X16がローレベルとなり、図4のX4モード選択信号X4がハイレベルとなり、X16モードで動作する半導体メモリ装置がX4モードに転換される。

【0034】その後、前記制御信号WCBRESETは再びローレベルからハイレベルにトグルするとき、前記モードレジスタ入力信号MRAiがローレベルであれば、前記NANDゲートND3の出力であるモード制御信号RDQがローレベルとなる。

【0035】これにより、図3のX16モード選択信号X16がハイレベルとなり、図4のX4モード選択信号X4がローレベルとなり、X4モードで動作する半導体メモリ装置が元のモードのX16モードに転換される。

【0036】上述したように、モードレジスタを用いることにより、ローレベルVSSにボンディングされている状態が無視されてDQチャンネル数が16から4に減少する。

【0037】したがって、所定のDQチャンネル数を有するテスト装置で同時に多数のメモリ装置を検査し得るので、テストの効率性が向上される。

【0038】以下、フューズを用いてDQチャンネル数を減らせる本発明による半導体メモリ装置の各構成要素を詳しく説明する。

【0039】本発明による半導体メモリ装置は、フューズ制御信号発生器、モードレジスタ、第1構造モード、即ちX16モードを選択するX16モード選択信号発生器、及び第2構造モード、即ちX4モードを選択するX4モード選択信号発生器を備える。

【0040】ここで、X16モード選択信号発生器、X4モード選択信号発生器及びモードレジスタは図3、図4及び図5に示したものと同様なので、詳しい説明は省略する。

【0041】図6は本発明の実施例によるフューズ制御信号発生器の回路図であり、前記フューズ制御信号発生器は第1及び第2フューズF1、F2の状態にตอบสนองしてフューズ制御信号EFUSEBを発生する。

【0042】図6を参照すれば、前記フューズ制御信号発生器は、所定の制御信号PVCCHB及び第1フューズF1の状態にตอบสนองして第1フューズ信号EF10Bを発生する第1フューズ信号発生手段7と、前記所定の制御信号PVCCHB及び第2フューズF2の状態にตอบสนองして第2フューズ信号EFM1KBを発生する第2フューズ信号発生手段9と、前記第2フューズ信号EFM1

KBを反転させ、その出力信号と前記第1フューズ信号EF10Bを論理和して前記フューズ制御信号EFUSEBを出力する論理手段11とを備える。

【0043】前記第1フューズ信号発生手段7は、ソースに電源電圧VDDが印加され、ゲートに前記制御信号PVCCHBが印加されるPMOSTランジスタMP5と、前記PMOSTランジスタMP5のドレインに一端が接続される第1フューズと、前記第1フューズF1の他端にドレインが接続され、接地電圧VSSがソースに印加され、前記制御信号PVCCHBがゲートに印加されるNMOSTランジスタMN6と、前記第1フューズF1と前記NMOSTランジスタMN6の接続点から出力される信号を反転させる反転手段I17と、前記第1フューズF1の他端にドレインが接続され、接地電圧VSSがソースに印加され、前記反転手段I17の出力端にゲートが接続されるNMOSTランジスタMN7と、前記反転手段I17の出力を反転させて前記第1フューズ信号EF10Bを出力する反転手段I18とで構成される。

【0044】かつ、前記第2フューズ信号発生手段9は前記第1フューズ信号発生手段7と同一の構成を有する。前記第2フューズ信号発生手段9は、ソースに電源電圧VDDが印加され、ゲートに前記制御信号PVCCHBが印加されるPMOSTランジスタMP6と、前記PMOSTランジスタMP6のドレインに一端が接続される第2フューズF2と、前記第2フューズF2の他端にドレインが接続され、接地電圧VSSがソースに印加され、前記制御信号PVCCHBがゲートに印加されるNMOSTランジスタMN8と、前記第2フューズF2と前記NMOSTランジスタMN8の接続点から出力される値を反転させる反転手段I20と、前記第2フューズF2の他端にドレインが接続され、接地電圧VSSがソースに印加され、前記反転手段I20の出力端にゲートが接続されるNMOSTランジスタMN9と、前記反転手段I20の出力を反転させて前記第2フューズ信号EFM1KBを出力する反転手段I21とで構成される。

【0045】かつ、前記論理手段11は、前記第1フューズ信号EF10Bを反転させるインバータI22と、前記インバータI22の出力信号及び前記第2フューズEFM1KBを受けてNAND動作を行うNANDゲートND4と、前記NANDゲートND4の出力信号を反転させるインバータI23と、前記インバータI23の出力信号を反転させるインバータI24とで構成される。

【0046】図7に示したタイミング図を参照して図3、図4、図5及び図6の回路動作を説明し、かつ、フューズを用いて半導体メモリ装置のDQチャンネル数が減少する方法を説明する。

【0047】モードレジスタを用いる方法のように、先

ず、図3のX16ボンディングパッドX16_PADをローレベルVSSにボンディングさせ、図4のX4ボンディングパッドX4_PADをフローティングさせる。これにより、図3のインバータI9の出力信号X16Eがハイレベルとなり、図4のインバータI11の出力信号がハイレベルとなる。

【0048】その後、図5のラッチ5が初期化すると、NANDゲートND3の出力であるモード制御信号RDQがローレベルとなり、これにより図3のX16モード選択信号X16がハイレベルとなり、図4のX4モード選択信号X4がローレベルとなり、X16モードが選択される。

【0049】次に、図6の第1フューズF1を切断すると、第1フューズ信号EF10Bがローレベルとなり、フューズ制御信号EFUSEBがローレベルとなる。第1フューズ及び第2フューズF1、F2が切断していない状態では通常第1フューズ信号EF10B及び第2フューズ信号EFM1KBはハイレベル状態にある。

【0050】したがって、図5のNANDゲートND3の出力であるモード制御信号RDQがハイレベルとなる。これにより、図3のX16モード選択信号X16がローレベルとなり、図4のX4モード選択信号X4がハイレベルとなり、X16モードで動作する半導体メモリ装置がX4モードに転換する。

【0051】かつ、図6の第2フューズF2を切断すると、第2フューズ信号EFM1KBがローレベルとなり、フューズ制御信号EFUSEBがハイレベルとなる。この際、図5のラッチ5は制御信号PVCCHBにより初期化された値であるハイレベルを出力するので、NANDゲートND3の出力であるモード制御信号RDQがローレベルとなる。これにより、図3のX16モード選択信号X16がハイレベルとなり、図4のX4モード選択信号X4がローレベルとなり、X4モードで動作する半導体メモリ装置が再びX16モードに転換される。

【0052】上述するように、フューズを用いることによりDQチャンネルの数を一時的に低減することができる。したがって、X16モードで動作する半導体メモリ装置の16個のDQチャンネル数の全てを検査することなく、4個のDQチャンネルのみ検査すればよい。これにより、前記半導体メモリ装置のテストにおいて、同時に多数のメモリ装置を検査し得るので、テストの効率性

が向上される。

【0053】

【発明の効果】上述したように本発明によるモードレジスタまたはフューズを用いてDQチャンネル数が減少する半導体メモリ装置では、X16ボンディングパッドX16PADのみをローレベルVSSにボンディングし、X4ボンディングパッドX4PADをフローティングさせることにより、X16モードとX4モードを自在に転換させることができる。

【0054】したがって、X16ボンディングパッドX16_PADがボンディングされることによりDQチャンネル数が決まるとしても、前記モードレジスタまたはフューズを用いてまるで一時的にX4がボンディングされたことのように信号を発生させるので、同時に多数のメモリ装置を検査することができる。

【0055】本発明は前記実施例に限るものでなく、本発明の範囲内において多様な変形が可能である。

【図面の簡単な説明】

【図1】 従来の技術によるX16モード選択信号発生器の回路図である。

【図2】 従来の技術によるX4モード選択信号発生器の回路図である。

【図3】 本発明の実施例によるX16モード選択信号発生器の回路図である。

【図4】 本発明の実施例によるX4モード選択信号発生器の回路図である。

【図5】 本発明の実施例によるモードレジスタの回路図である。

【図6】 本発明の実施例によるフューズ制御信号発生器の回路図である。

【図7】 図3乃至図6の回路に対する各信号のタイミング図である。

【符号の説明】

1 : 論理手段

5 : ラッチ

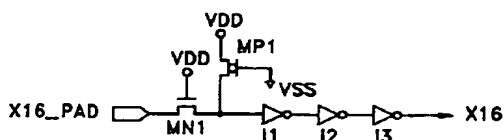
7 : 第1フューズ信号発生手段

9 : 第2フューズ信号発生手段

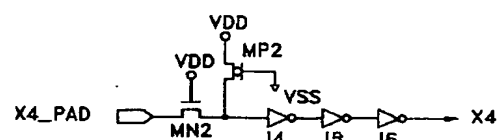
11 : 論理手段

I7, I8, I9, I10, I11, I13, I14, I15, I17, I18, I22, I23, I24:インバータ

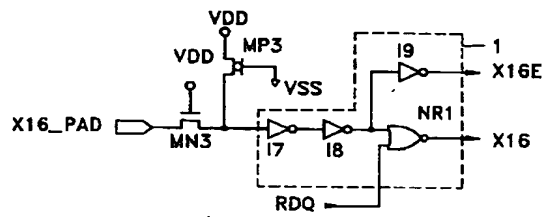
【図1】



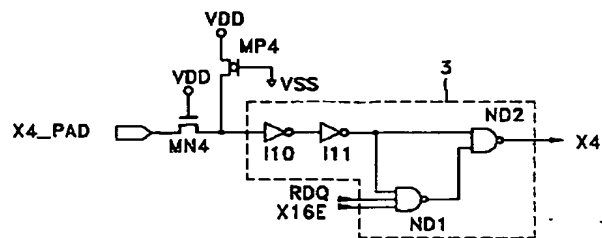
【図2】



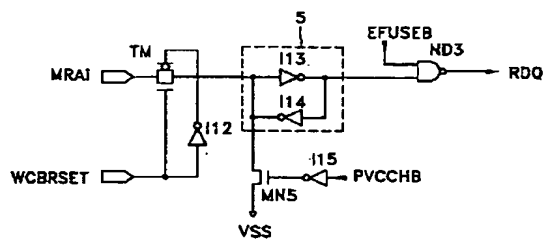
【図3】



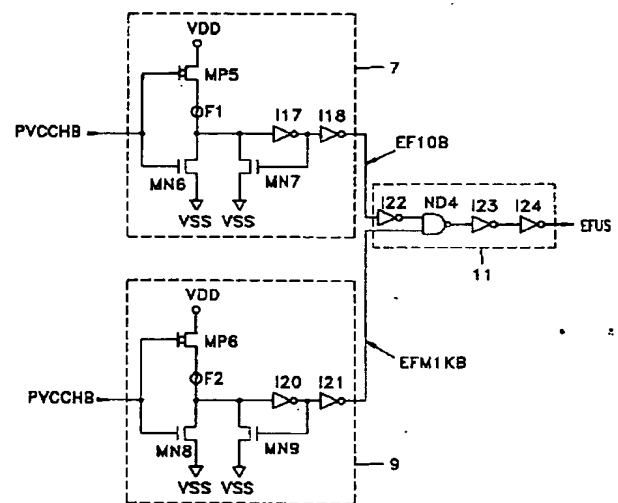
【図4】



【図5】



【図6】



【図7】

